



Tektronix

MIPI D-PHY / C-PHY 規格の概要と評価手法

脇本 雄太
アプリケーション・エンジニア

2021技術 세미나・シリーズ



本日の内容

- はじめに
 - MIPI Alliance
- 規格概要
 - MIPI D-PHY / C-PHY
- 物理層の評価
 - タイミング測定が重要
- 評価に最適な測定器のご紹介
 - 自動テストソフトウェア

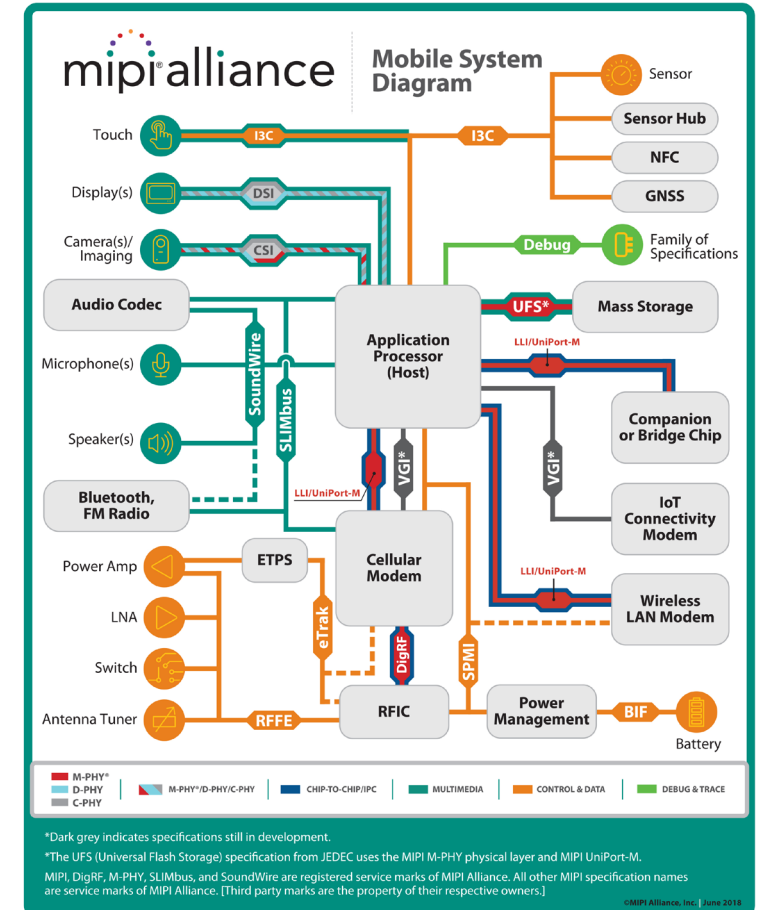
はじめに

- MIPI Alliance

MIPIとは

Mobile Industry Processor Interface Alliance

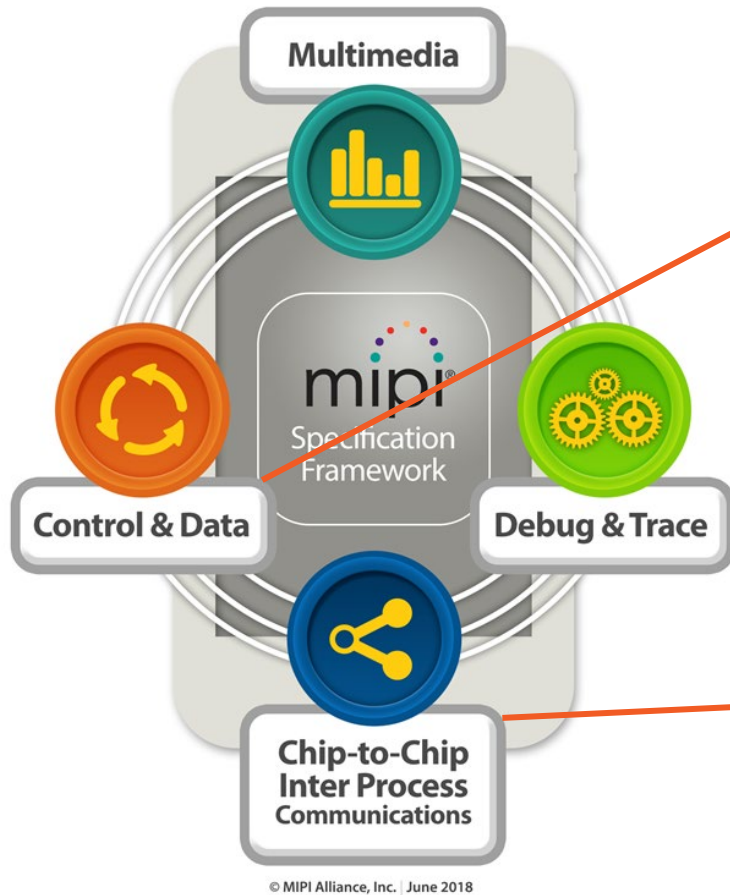
- 2003年に設立
 - ARM, Nokia, STMicroelectronics, Texas Instruments
- モバイル機器開発のためのグローバル組織
 - インタフェース技術を統合してデザインと開発を促進
 - PHYやプロトコル規格の策定
 - メンバは約380社（2021年4月）
 - TektronixはContributorとして参加
 - <https://mipi.org/membership/member-directory>



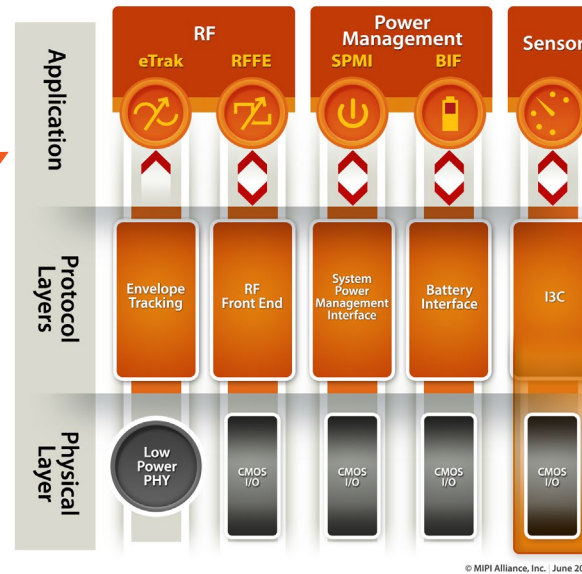
参照: <https://mipi.org>

MIPIがサポートするアプリケーション・エリア

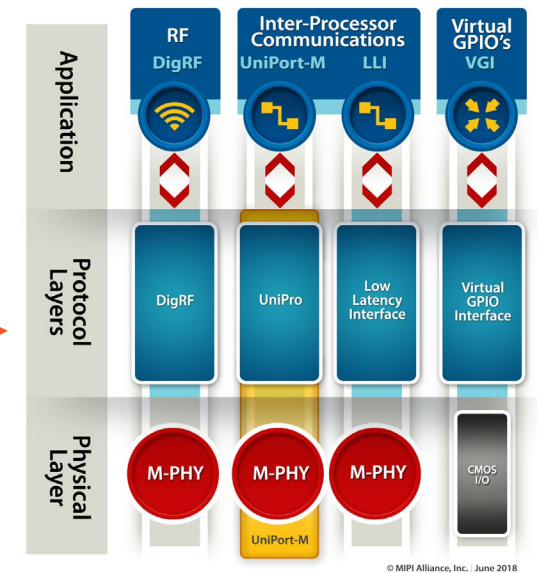
Control & Data Chip-to-Chip



MIPI Control & Data Specifications



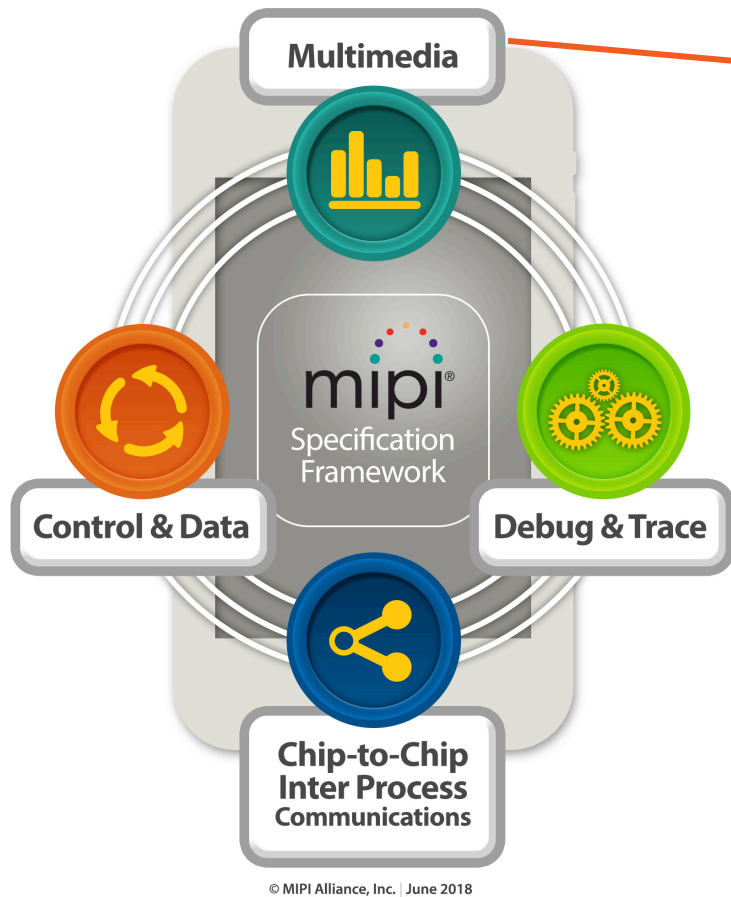
MIPI Chip-to-Chip Communications Specifications



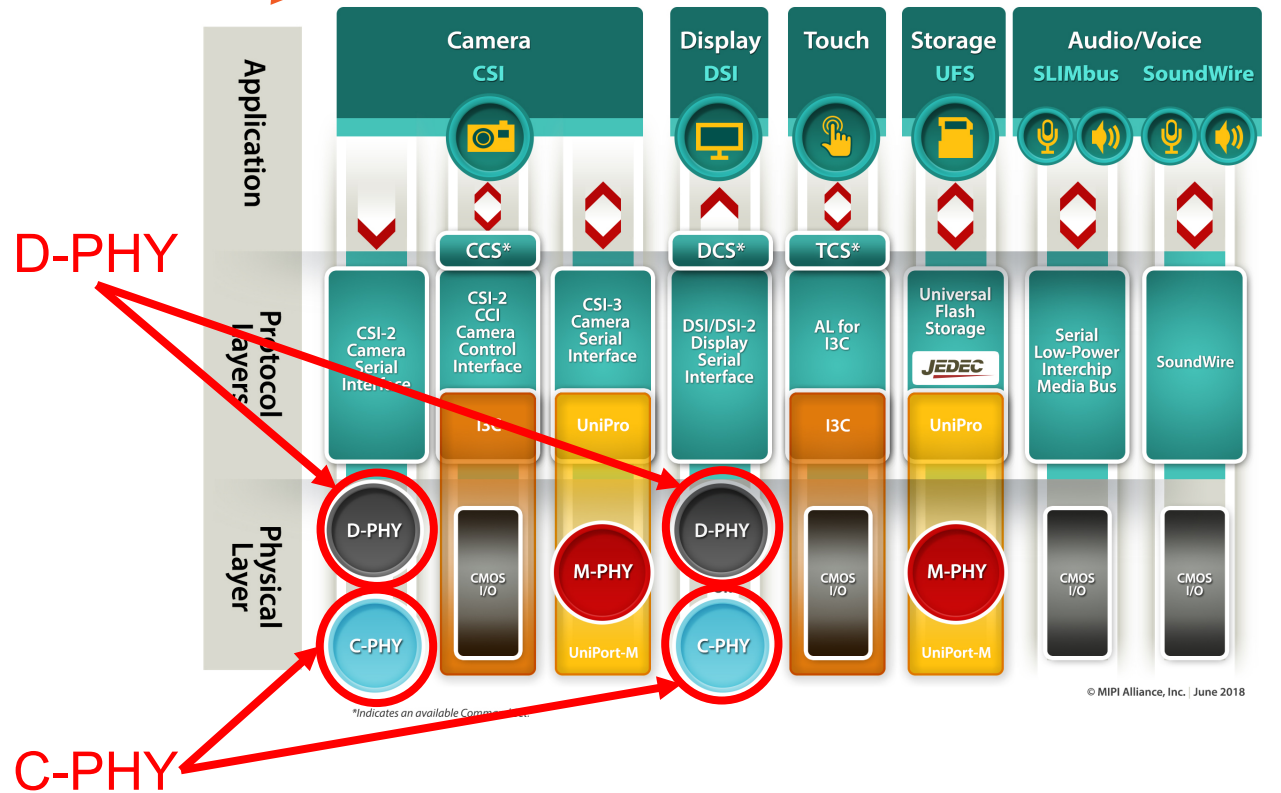
参照: <https://mipi.org>

MIPIがサポートするアプリケーション・エリア

Multimedia



MIPI Multimedia Specifications



参照 : <https://mipi.org>

MIPIの主な規格

主なPHYとプロトコルの規格

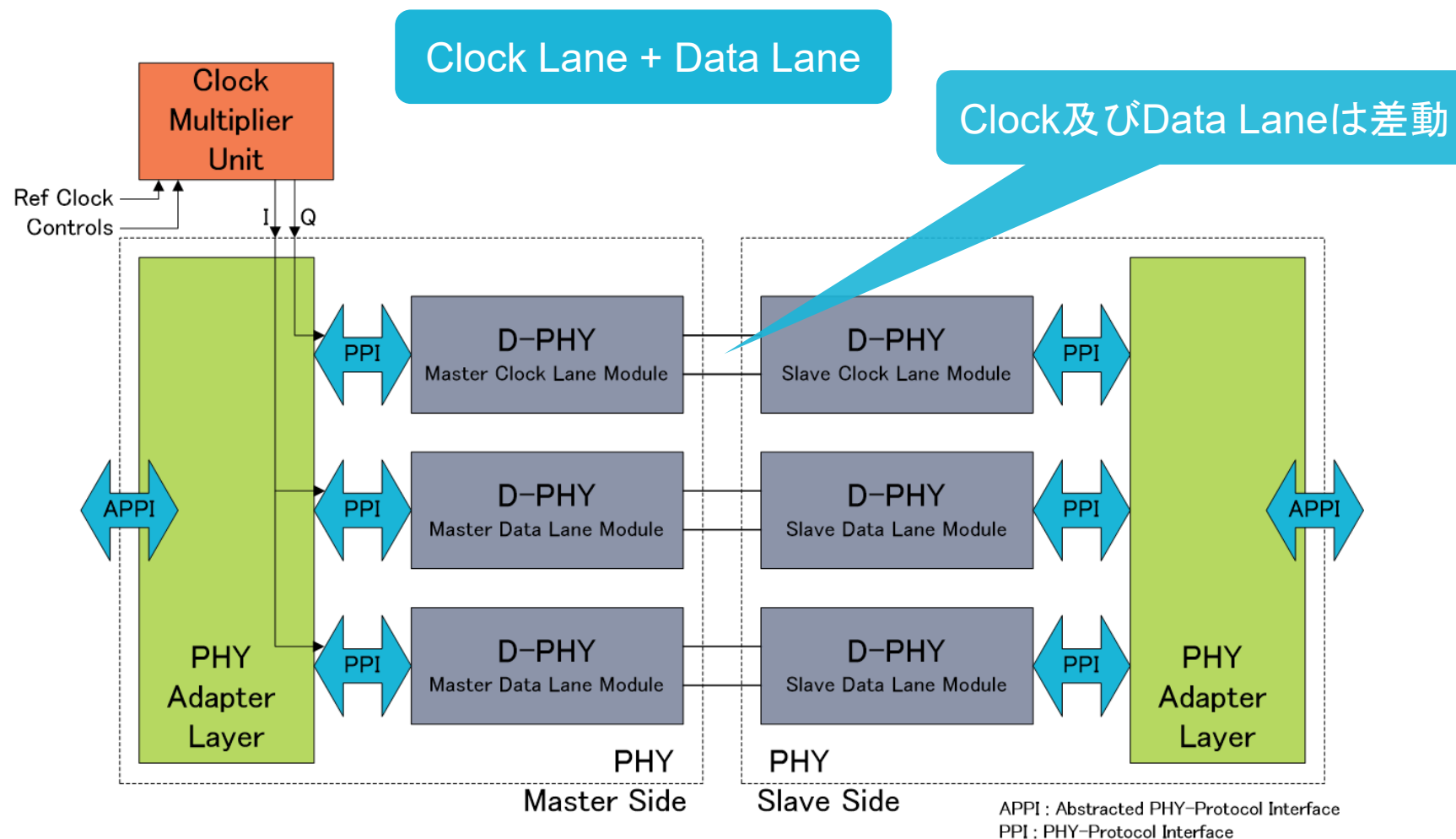
- Protocol Layers
 - DSI / DSI-2 (Display Serial Interface)
 - CSI-2 / CSI-3 (Camera Serial Interface)
 - UFS (Universal Flash Storage)
 - DigRF
 - UniPro
 - LLI (Low Latency Interface)
- Physical Layers
 - D-PHY ← 本日のお話
 - C-PHY ← 本日のお話
 - M-PHY
 - A-PHY

規格概要

- MIPI D-PHY / C-PHY

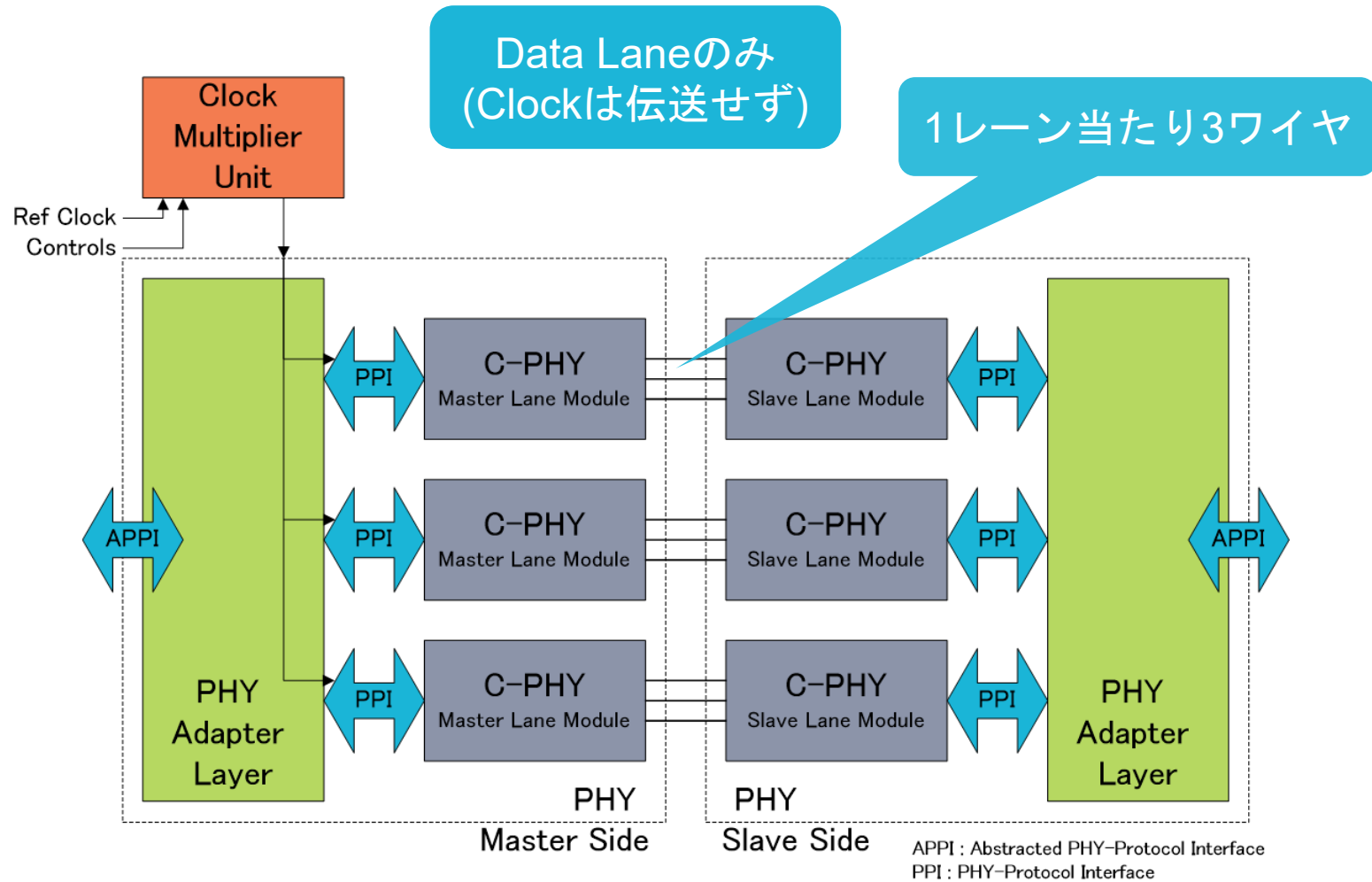
MIPI D-PHY Configuration

D-PHY構成例（データ2レーンの場合）



C-PHY Configuration

データが3レーンの例



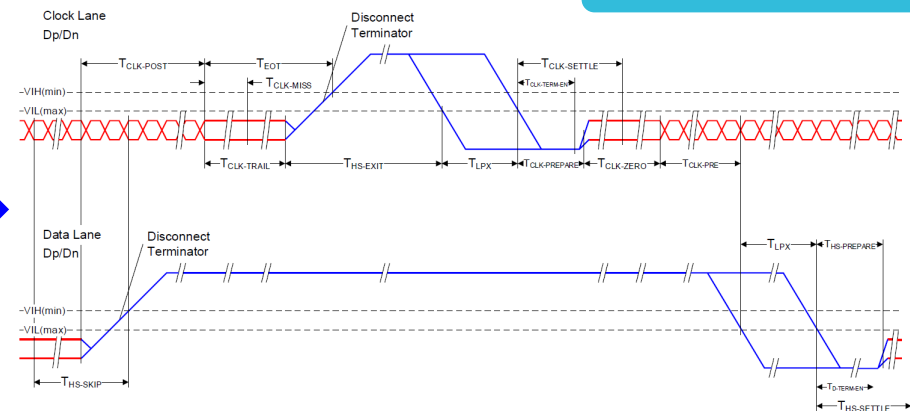
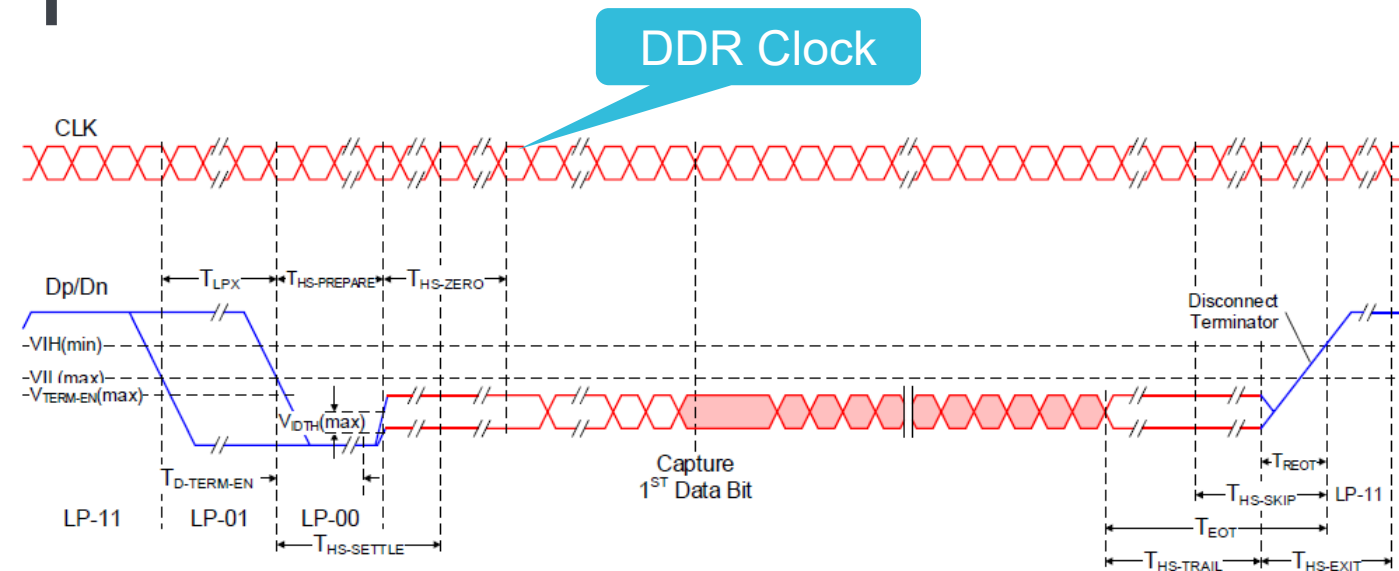
MIPI D-PHYの送信モード

2つのモード

- High Speedモード (HS)
 - 高速伝送
 - レシーバは差動100Ω終端
- Low Powerモード (LP)
 - 低消費電力
 - レシーバは無終端

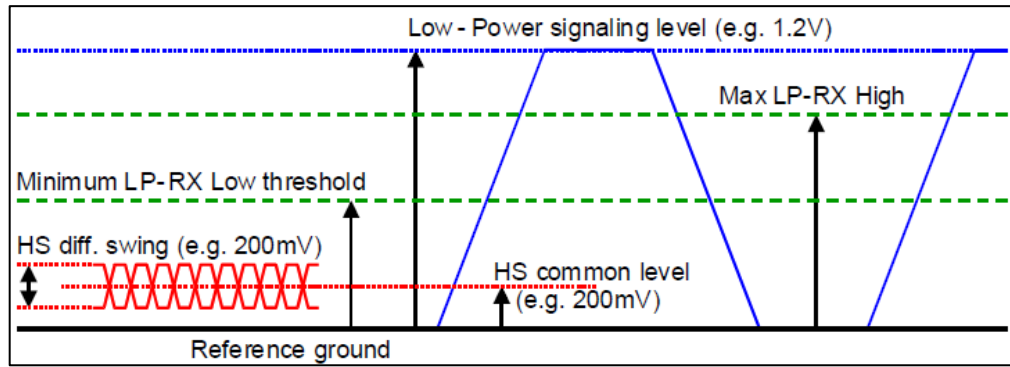
LPモード $\leq 10\text{Mbps}$

HSモード $\geq 80\text{Mbps}$

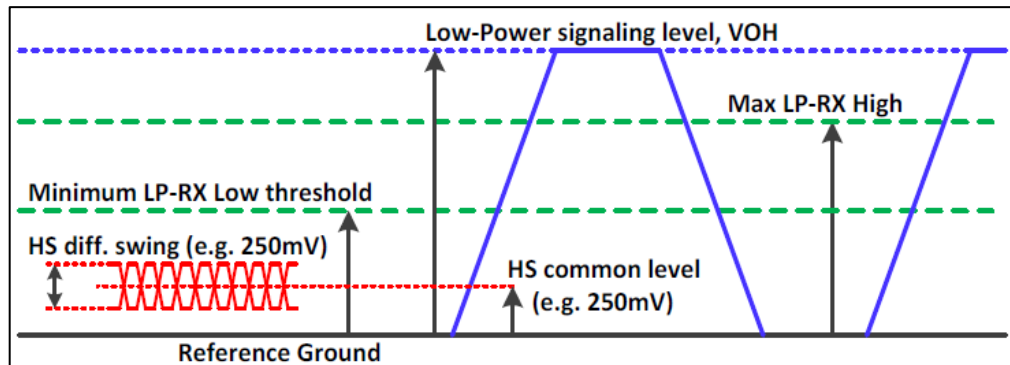


MIPI D-PHY / C-PHYの信号

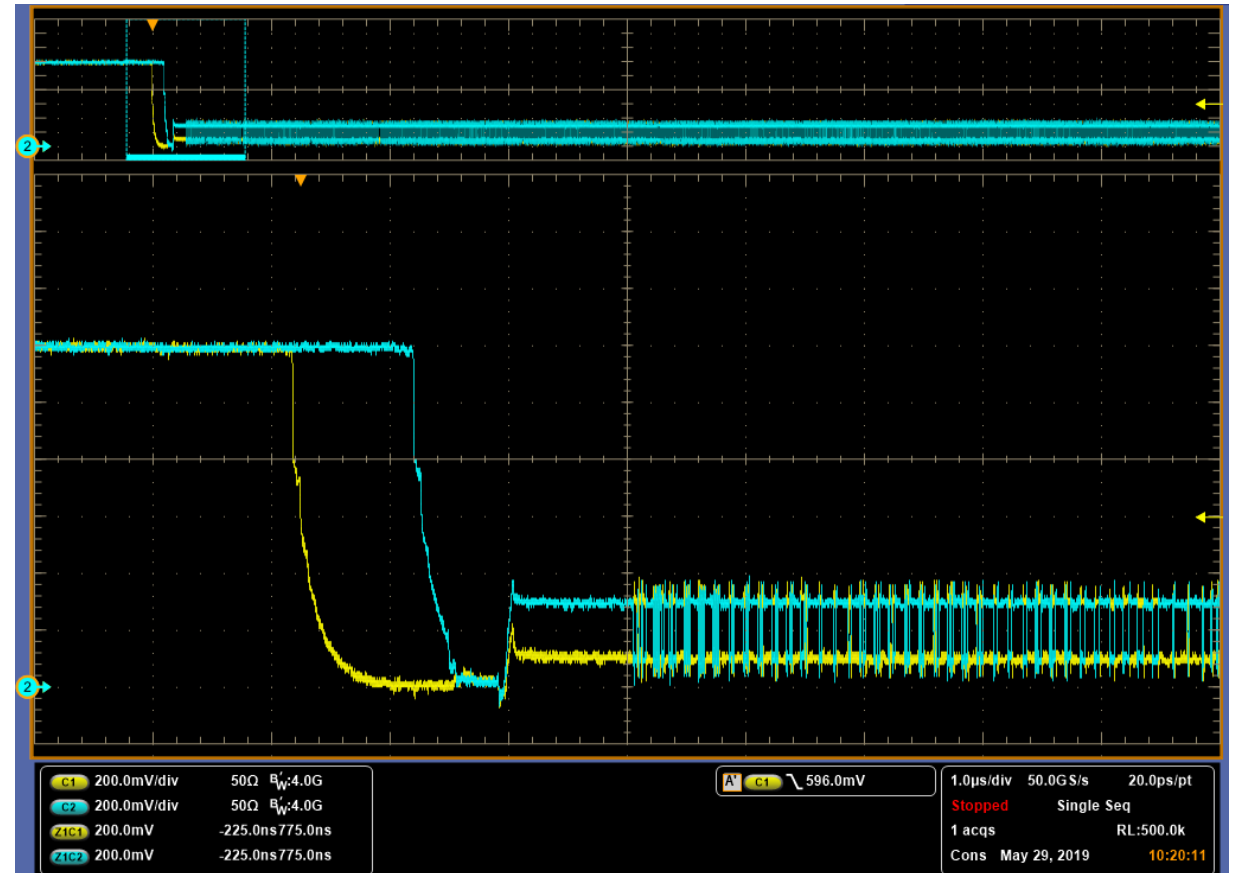
HSモードとLPモードがダイナミックに切り替わる



D-PHY



C-PHY



D-PHYのレーン・ステート

HSモードは差動

State Code	Line Voltage Levels		High Speed	Low Power	
	DP	DN		Control Mode	Escape Mode
HS-0	HS Low	HS High	Differential 0	N/A	N/A
HS-1	HS High	HS Low	Differential 1	N/A	N/A
LP-00	LS Low	LS Low	N/A	Bridge	Space
LP-01	LS Low	LS-High	N/A	HS-Rqst	Mark 0
LP-10	LS-High	LS Low	N/A	LP-Rqst	Mark 1
LP-11	LS-High	LS-High	N/A	Stop	N/A

D-PHY HS信号規格

トランスミッタ

		Minimum	Nominal	Maximum
V_{CMTX}	TXコモンモード電圧	150mV	200mV	250mV
$ V_{\text{OD}} $	出力電圧振幅	140mV	200mV	270mV
V_{OHHS}	出力High電圧			360mV

レシーバ

		Minimum	Nominal	Maximum
V_{CMRX}	RXコモンモード電圧	70mV		330mV
V_{IDTH}	差動スレッシュホールド High入力電圧			70mV ($\leq 1.5\text{Gbps}$) 40mV ($> 1.5\text{Gbps}$)
V_{IDTL}	差動スレッシュホールド Low入力電圧	-70mV ($\leq 1.5\text{Gbps}$) -40mV ($> 1.5\text{Gbps}$)		
V_{IHHS}	シングルエンドHigh入力電圧			460mV
V_{ILHS}	シングルエンドLow入力電圧	-40mV		

D-PHY LP信号規格

トランスミッタ

		Minimum	Nominal	Maximum
V_{OH}	出力Highレベル	1.1V ($\leq 1.5\text{Gbps}$) 0.95V ($> 1.5\text{Gbps}$)	1.2V	1.3V 1.3V
V_{OL}	出力Lowレベル	-50mV		50mV

レシーバ

		Minimum	Nominal	Maximum
V_{IHCD}	ロジック1 スレッシュホールド電圧	450mV		
V_{ILCD}	ロジック0 スレッシュホールド電圧			200mV

C-PHYのレーン・ステート

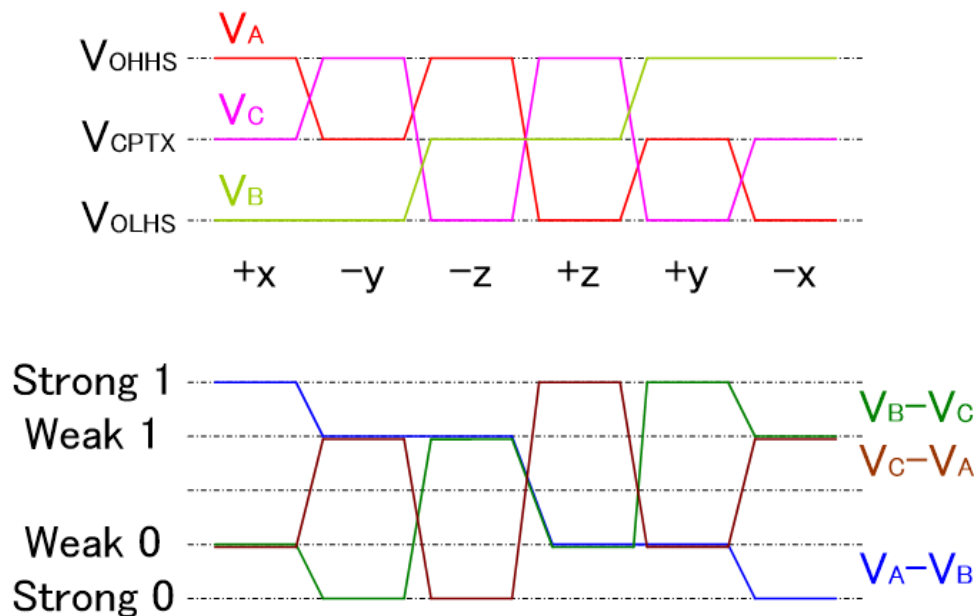
HSモードは3値レベル (Low, Mid, High)

State Code	Line Voltage Levels			High Speed	Low Power	
	A Line	B Line	C Line		Burst Mode	Control Mode
HS_+X	HS High	HS Low	HS Mid	+x state	N/A	N/A
HS_-X	HS Low	HS High	HS Mid	-x state	N/A	N/A
HS_+Y	HS Mid	HS High	HS Low	+y state	N/A	N/A
HS_-Y	HS Mid	HS Low	HS High	-y state	N/A	N/A
HS_+Z	HS Low	HS Mid	HS High	+z state	N/A	N/A
HS_-Z	HS High	HS Mid	HS Low	-z state	N/A	N/A
LP-000	LS Low	LS Low	LS Low	N/A	Bridge	Space
LP-001	LS Low	LS Low	LS-High	N/A	HS-Rqst	Mark 0
LP-100	LS-High	LS Low	LS Low	N/A	LP-Rqst	Mark 1
LP-111	LS-High	LS-High	LS-High	N/A	Stop	N/A

C-PHY HSモード

ワイヤーステート (C-PHY)

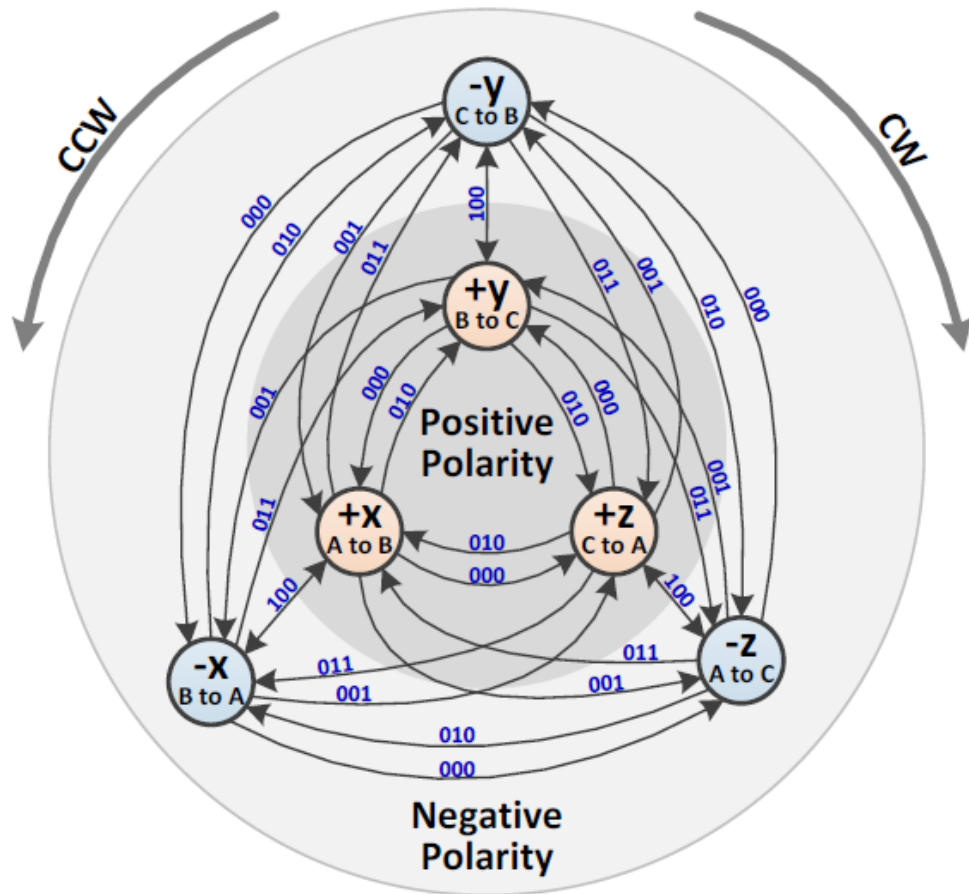
- 3ワイヤー (VA, VB, VC)
- 3値レベル (VHIGH, VMID, VLOW)
- Rxはそれぞれの差動電圧を受信 (VA-VB, VB-VC, VC-VA)



state	V _{AB}	V _{BC}	V _{CA}
+x	1	0	0
-x	0	0	1
+y	0	1	0
-y	1	0	1
+z	0	0	1
-z	1	1	0

シンボル・ステート (C-PHY)

ワイヤー・ステートからシンボル・ステートへ



シンボル	回転	極性
000	反時計方向	同極性
001	CCW	反転
010	時計方向	同局性
011	CW	反転
1xx	無回転	反転

変換テーブルより 2.28 bit / symbol

C-PHY HS信号規格

トランスミッタ

		Minimum	Nominal	Maximum
V_{CPTX}	TXコモンモード電圧	175mV	225~250mV	310mV
$V_{\text{CPTX (LVHS)}}$	TXコモンモード電圧 (Low Voltage High-Speed Mode)	150mV	200mV	225mV
$ V_{\text{OD}} _{\text{strong}}$	差動電圧 (strong 0, strong 1)			300mV
$ V_{\text{OD}} _{\text{weak}}$	差動電圧 (weak 0, weak 1)	90mV		
$ V_{\text{OD}} _{\text{weak (LVHS)}}$	差動電圧 (weak 0, weak 1) (Low Voltage High-Speed Mode)	70mV		
$ \Delta V_{\text{OD}} $	strong 0, strong 1の出力電圧の差			17mV
V_{OHHS}	出力High電圧			425mV

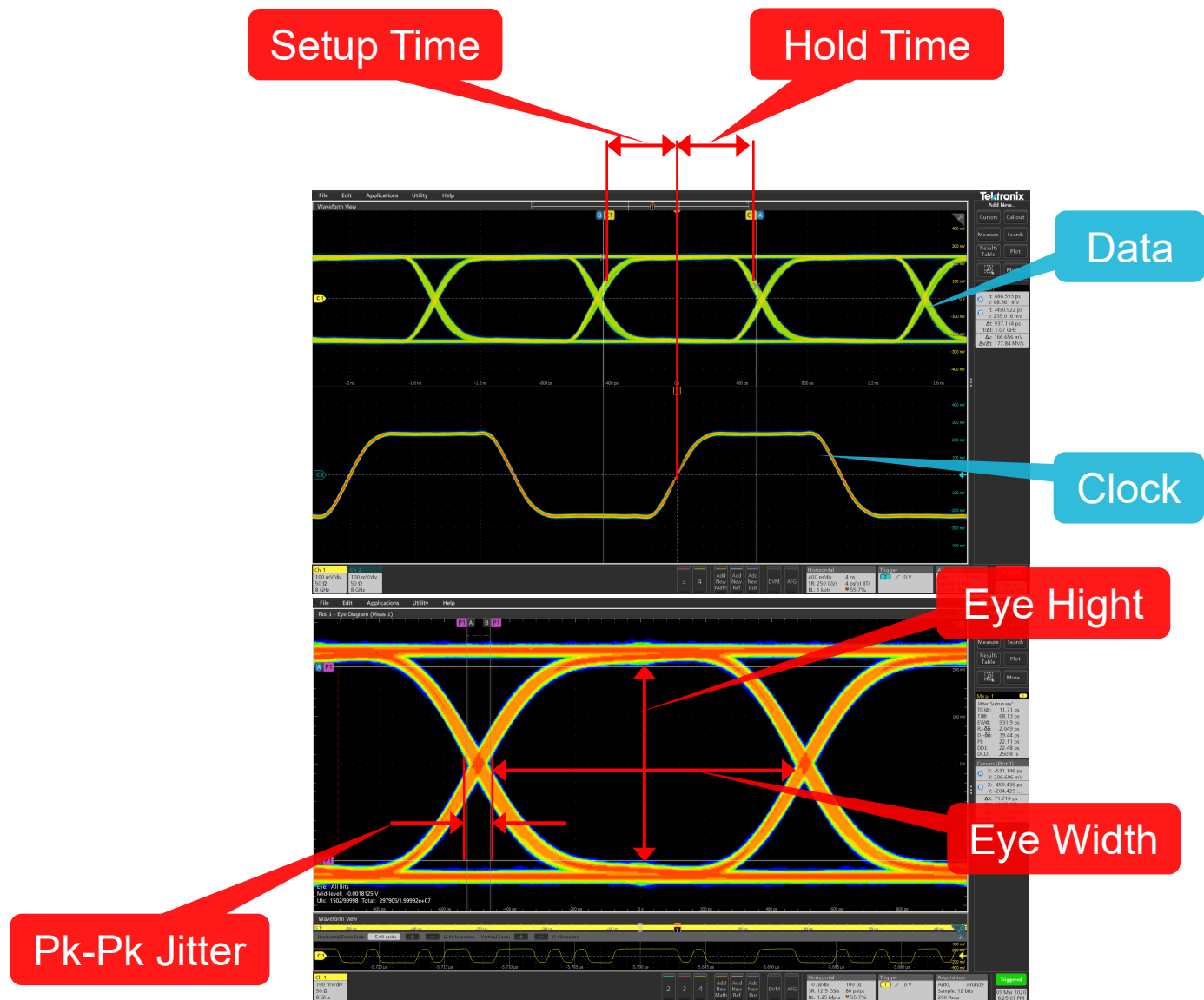
物理層の評価

- タイミングの評価が重要

信号品質評価

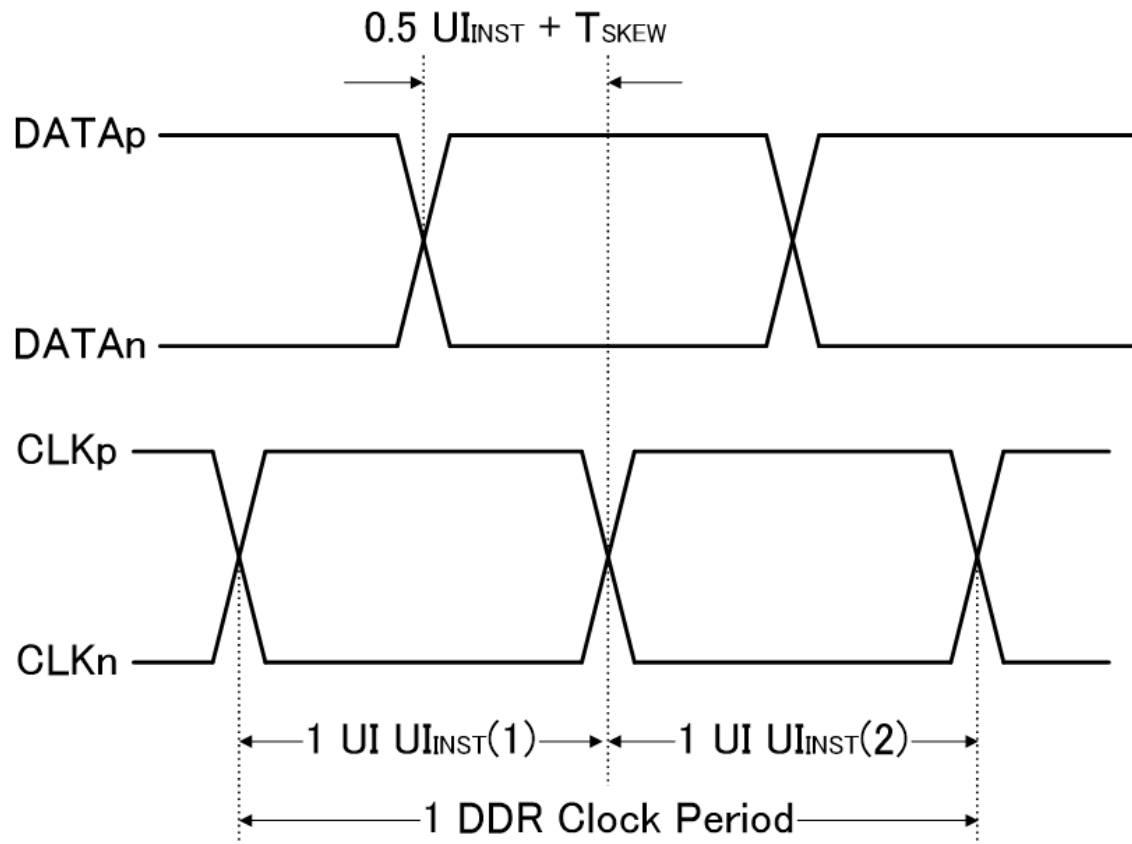
クロックの有無で評価方法が異なる

- クロック有
 - クロック – データ間のタイミング
 - Setup Time / Hold Time
- クロック無（エンベッド・クロック）
 - ジッタ及びアイ・ダイアグラム



CLK – Data タイミング

クロックはDDR



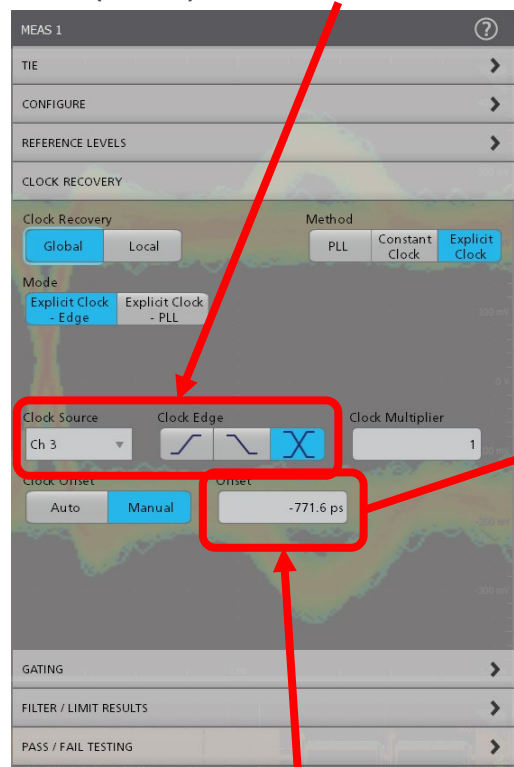
Parameter	Symbol	Min	Max	
UI Variations	ΔUI	-10%	10%	$UI \geq 1ns$
		-5%	5%	$0.667ns < UI < 1ns$
Data to Clock Skew	$TSKEW(TX)$	-0.15UI	0.15UI	$bps \leq 1G$
		-0.20UI	0.20UI	$1G > bps$

D-PHY Clock-Data Timing

MIPI D-PHYのEye Diagram観測例

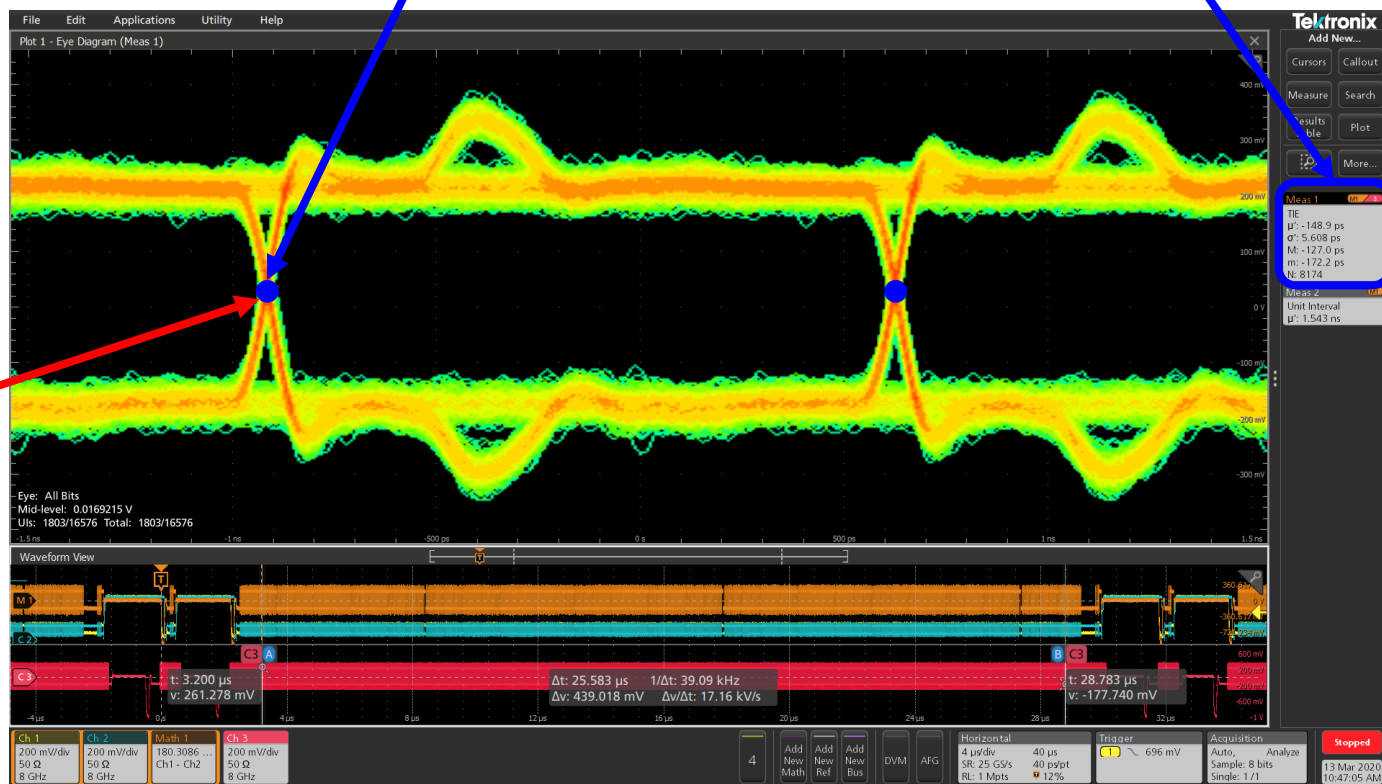
DDRクロックを基準にデータのEyeを観測

クロックリ・カバリのリファレンスを
Ch3(CLK)の立上/立下エッジに設定



リファレンス・ポイント=クロック・エッジ-0.5UI

TIEが±0.15UI(231.48ps)以内

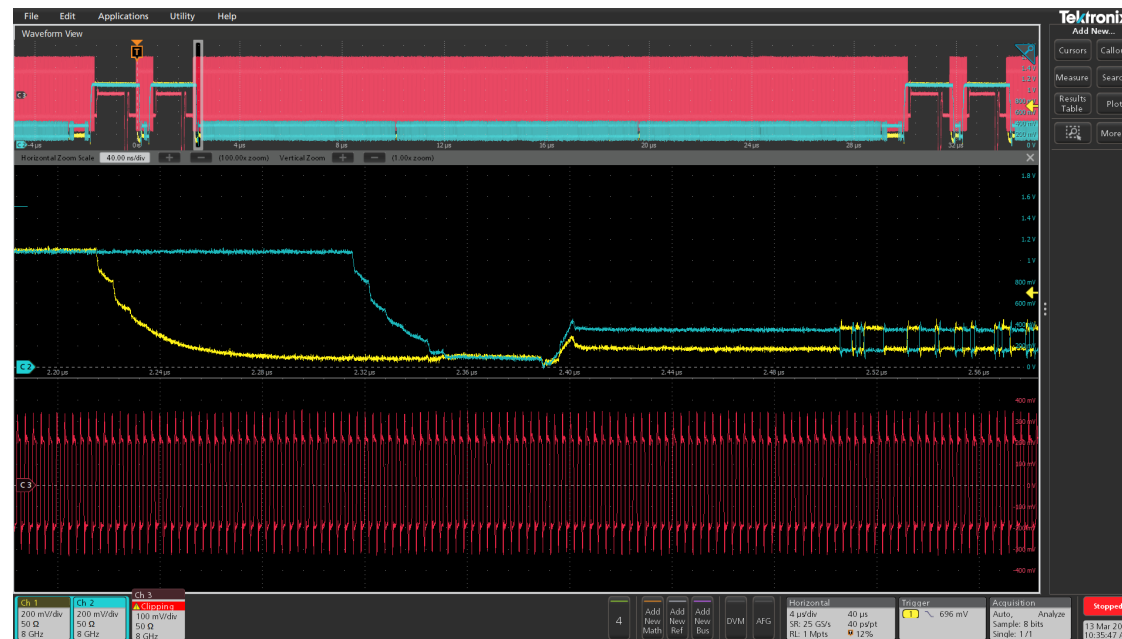
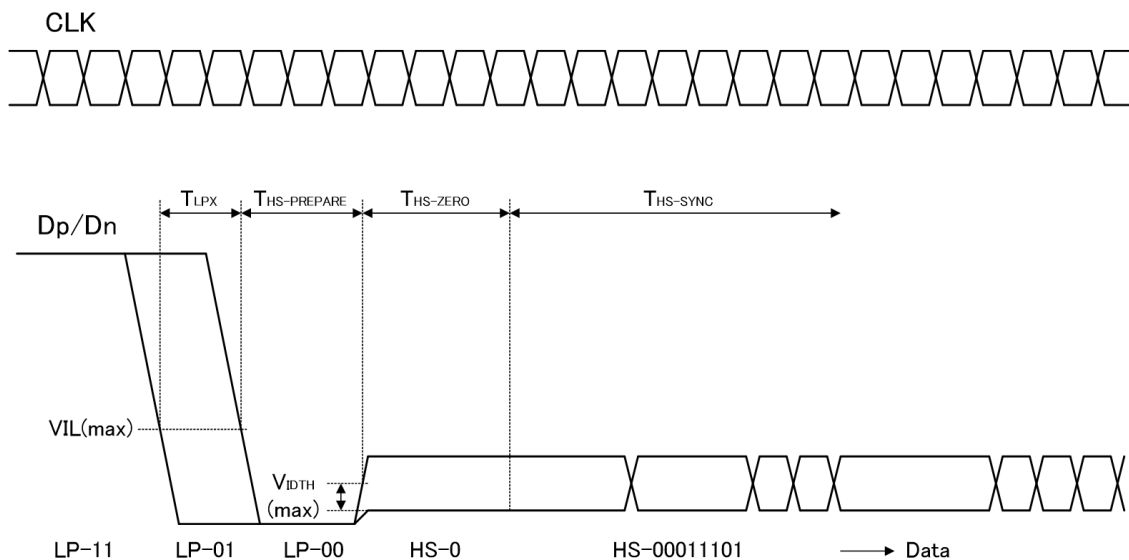


オフセットを-0.5UI(-771.6ns)に設定

Data Rate=648Mbps: 1UI=1.5432ns

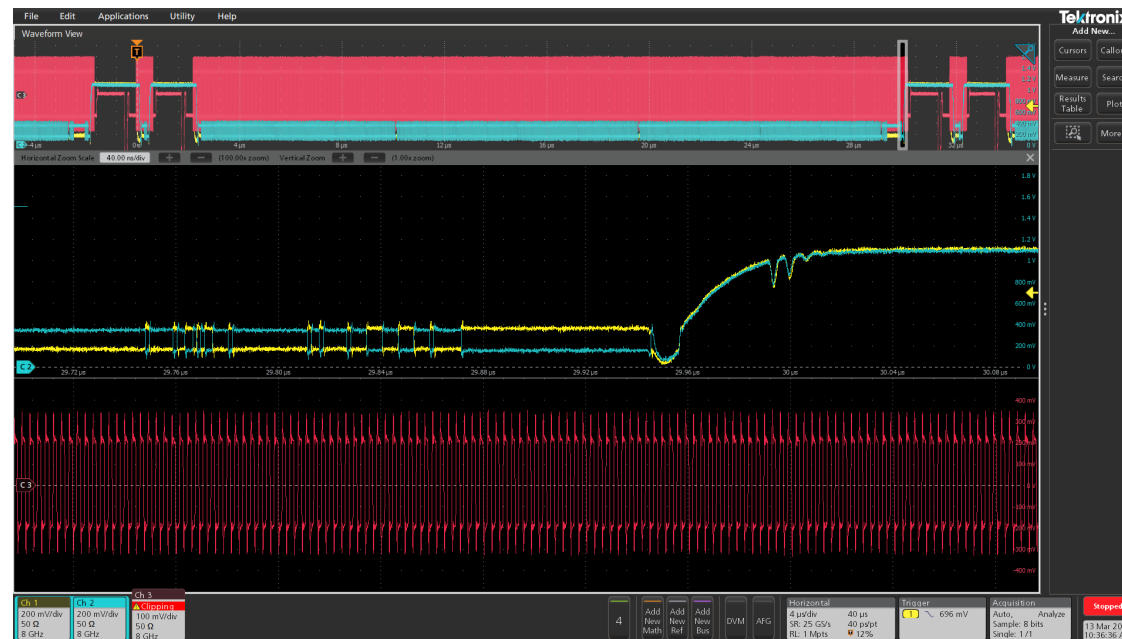
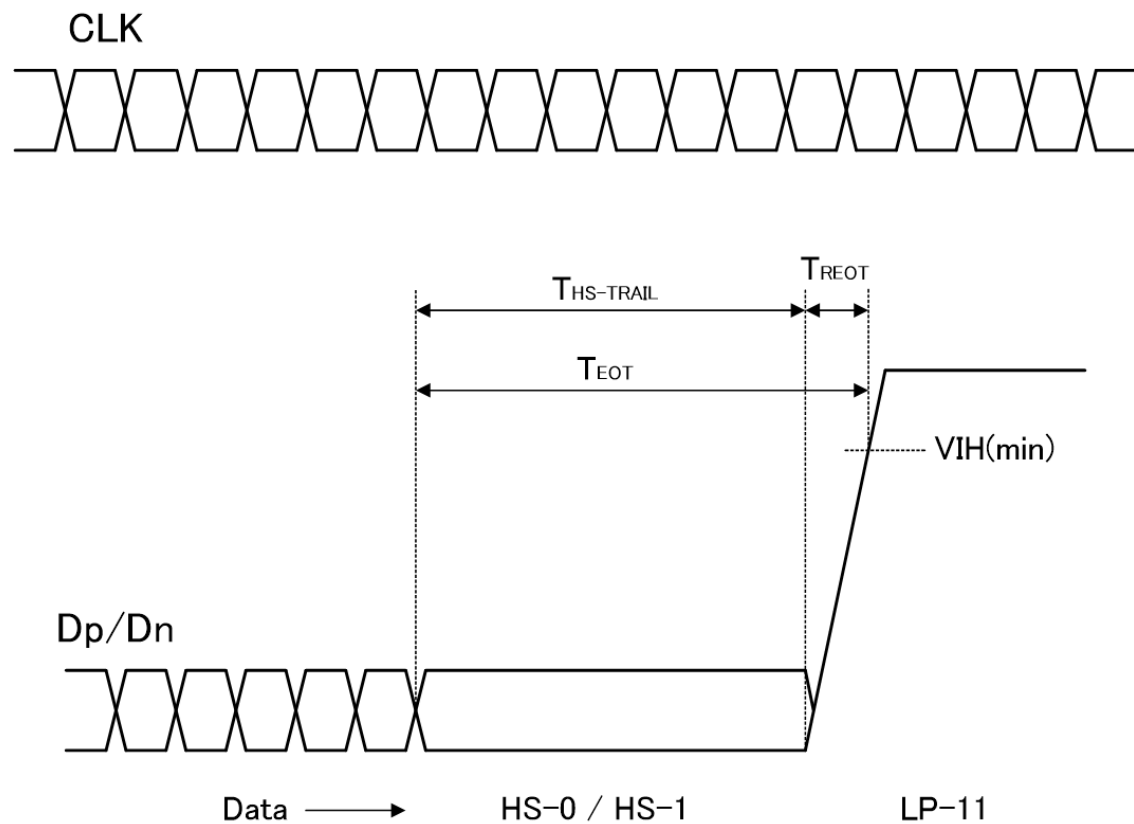
LPからHSへ切り替わるタイミング

レシーバはこのタイミングで無終端から100Ω終端へ



HSからLPへ切り替わるタイミング

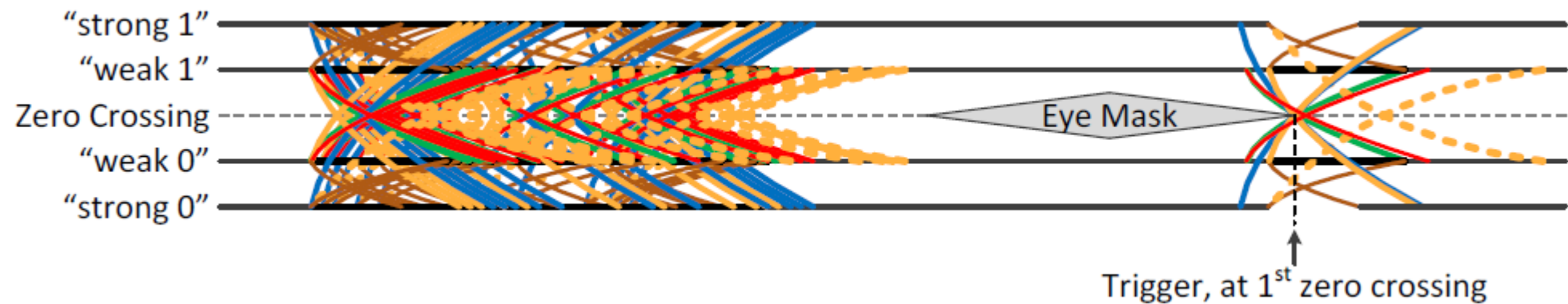
レシーバはこのタイミングで100Ω終端から無終端へ



C-PHY Eye Diagram

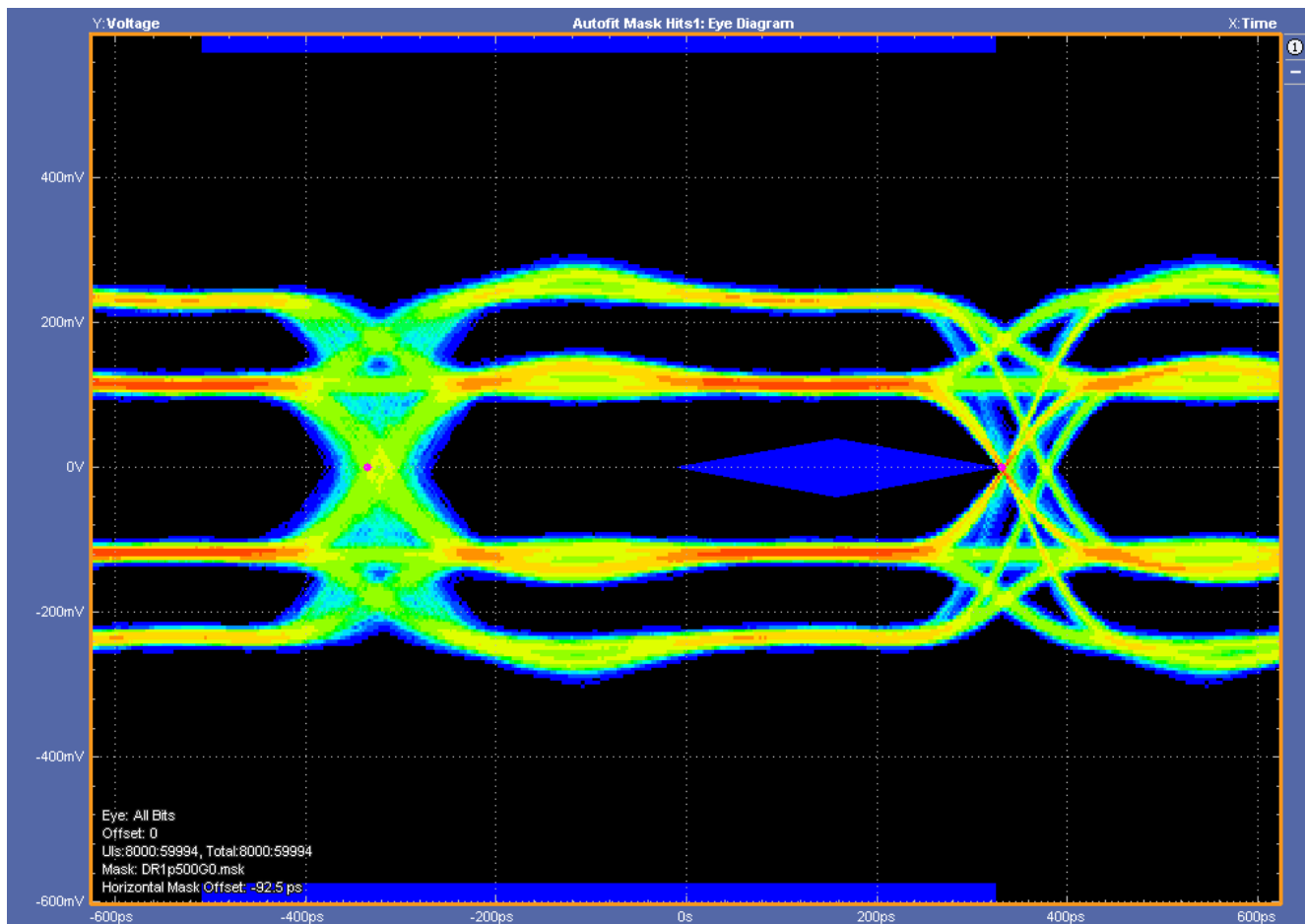
各トリオ間の差動信号を観測

- VA-VB, VB-VC, VC-VAをそれぞれ観測
- Zero Crossingを基準



Eye Diagram観測例 (C-PHY)

Zero Crossingを基準にEyeを観測



CH1(黄色) : V_A
CH2(水色) : V_B
CH3(紅紫) : V_C

パフォーマンス・テスト

MIPI D-PHY CTS (Conformance Test Suite)

- MIPI Allianceが定めた規格適合テスト

- MIPI D-PHY

- Section 1 : Transmitter Testの例

- GROUP 1
 - Data Lane LP-TX Signaling Requirements
- GROUP 2
 - Clock Lane LP-TX Signaling Requirements
- GROUP 3
 - Data Lane HS-TX Signaling Requirements

- GROUP 4
 - Clock Lane HS-TX Signaling Requirements
- GROUP 5
 - HS-TX Clock to Data Lane Timing Requirements
- GROUP 6
 - LP-TX INIT, ULPS, and BTA Requirements



Conformance Test Suite
for
D-PHYSM v2.1

CTS Version 1.0
22 October 2018

MIPI Board Approved 8 December 2018

パフォーマンス・テスト

MIPI C-PHY CTS (Conformance Test Suite)

- MIPI Allianceが定めた規格適合テスト
- MIPI C-PHY
- Section 1 : Transmitter Testの例
 - GROUP 1
 - LP-TX Signaling Requirements
 - GROUP 2
 - HS-TX Signaling Requirements
 - GROUP 3
 - LP-TX INIT, ULPS, and BTA Requirements



Conformance Test Suite
for
C-PHYSM Specification v2.0

CTS Version 1.0
31 July 2020

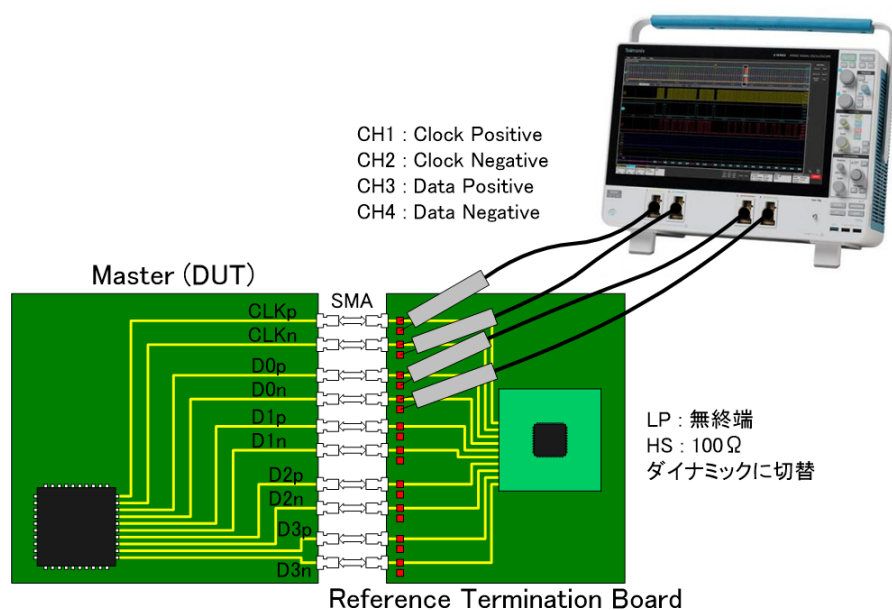
MIPI Board Approved 3 September 2020

- GROUP 4
 - HS-TX Burst Signaling Requirements HS Unterminated Mode
- GROUP 5
 - HS-TX Calibration Preamble Signaling Requirements

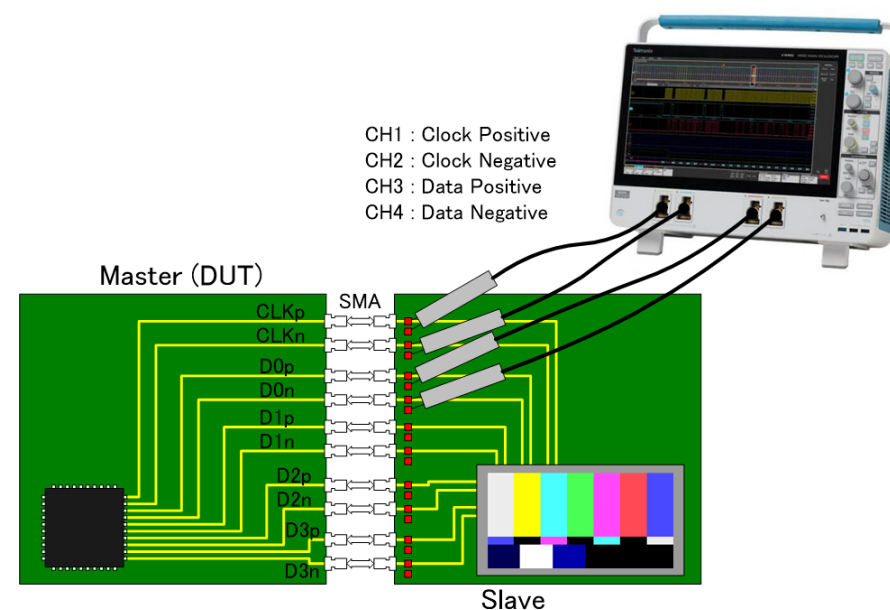
トランスミッタ・テスト

Rxを接続して信号を観測

- CTSではRTB（Reference Termination Board）を推奨
- 信号はPositiveとNegativeを別々のチャンネルで観測



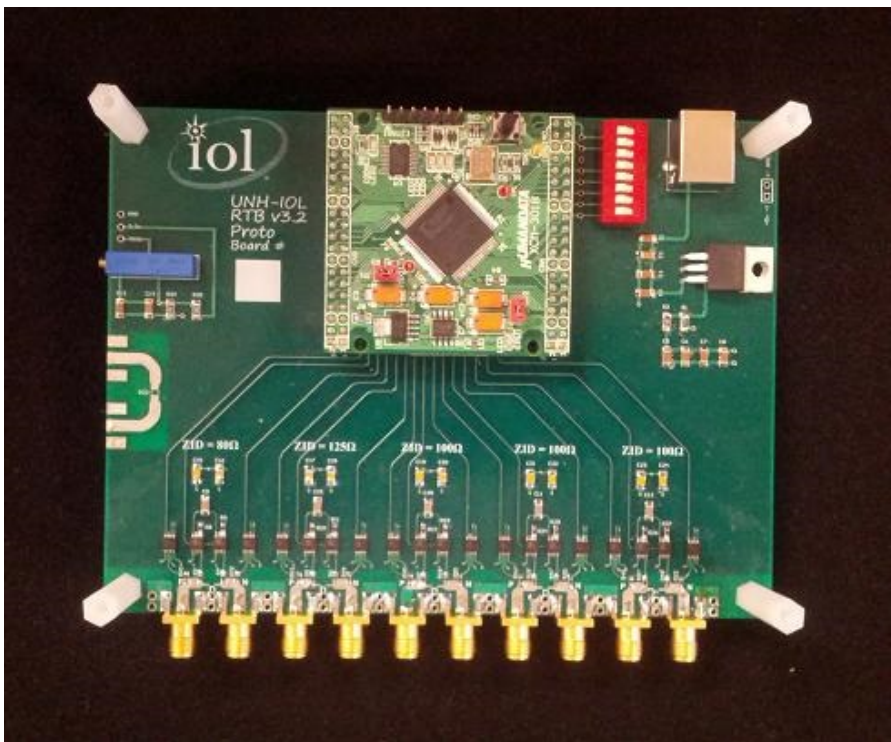
Reference Termination Boardを使用



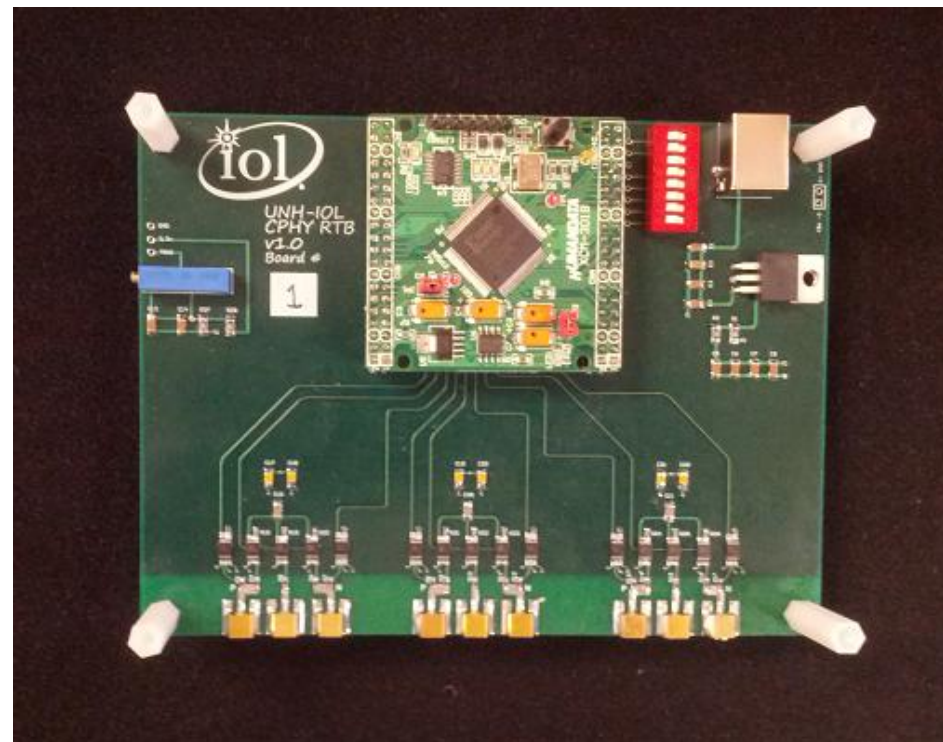
Master(DUT)-Slave接続

Reference Termination Board

終端をダイナミックに変更



RTB for D-PHY



RTB for C-PHY

入手先 : <https://www.iol.unh.edu/solutions/test-tools/mipi>

評価に最適な測定器のご紹介

- 自動テストソフトウェア

MIPI D-PHYの信号評価に最適なオシロスコープ

6シリーズ B MSOミックスド・シグナル・オシロスコープ

- 周波数帯域：1GHz～10GHz
- 最高サンプルレート：50GS/s
- メモリ長（標準）：62.5Mポイント
- 最大メモリ長（オプション）：1Gポイント
- 垂直分解能
 - 8ビット（@50GS/s）
 - 12ビット（@12.5GS/s）
- 全チャンネルFlexChannel®を採用



6シリーズ B MSOの特徴

低ノイズ、12ビット分解能オシロスコープ

	MSO64B型	MSO66B型	MSO68B型
周波数帯域	1GHz, 2.5GHz, 4GHz, 6GHz, 8GHz, 10GHz		
最大アナログ・チャンネル数	4	6	8
最大デジタル・チャンネル数(オプション)	32	48	64
最高サンプル・レート	50GS/s (@2ch), 25GS/s (@4ch), 12.5 GS/s (@All ch)		
標準メモリ長	62.5Mポイント		
最大メモリ長(オプション)	1Gポイント		
ADCの分解能	12ビット		
垂直分解能	8ビット(@50GS/s, 25GS/s) 12ビット(@12.5GS/s)		

MIPI D-PHYの信号評価に最適なオシロスコープ

DPO70000SXシリーズ オシロスコープ

- 周波数帯域：13GHz～70GHz
- 最高サンプルレート：50GS/s
- メモリ長（標準）：62.5Mポイント
- 最大メモリ長（オプション）：250Mポイント



DPO70000SXシリーズの特徴

低ノイズ、オシロスコープ

	DPO71304SX型	DPO71604SX型	DPO72304SX	DPO73304SX型
周波数帯域	13GHz	16GHz	23GHz	33GHz(@2ch) 23GHz(@4ch)
アナログ・チャンネル数	4			
最高サンプル・レート	100GS/s (@2ch), 50GS/s (@4ch),			
標準メモリ長	62.5Mポイント			
最大メモリ長(オプション)	250Mポイント			
垂直分解能	8ビット			

推奨オシロスコープ周波数帯域

D-PHY

Data Rate	4GHz	6GHz	8GHz	10GHz	>13GHz
1.5Gbps	Conformance	Conformance	Conformance	Conformance	Conformance
2.5Gbps	Conformance	Debug	Conformance	Conformance	Conformance
4.0Gbps	Conformance	Conformance	Debug	Conformance	Conformance
4.5Gbps	Conformance	Conformance	Conformance	Debug	Conformance

Debug

Conformance

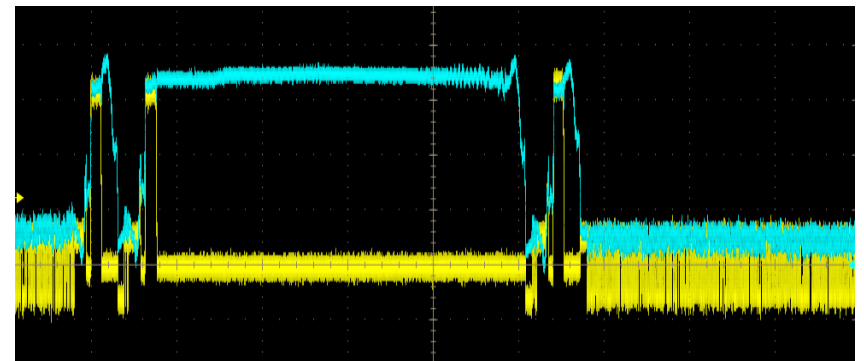
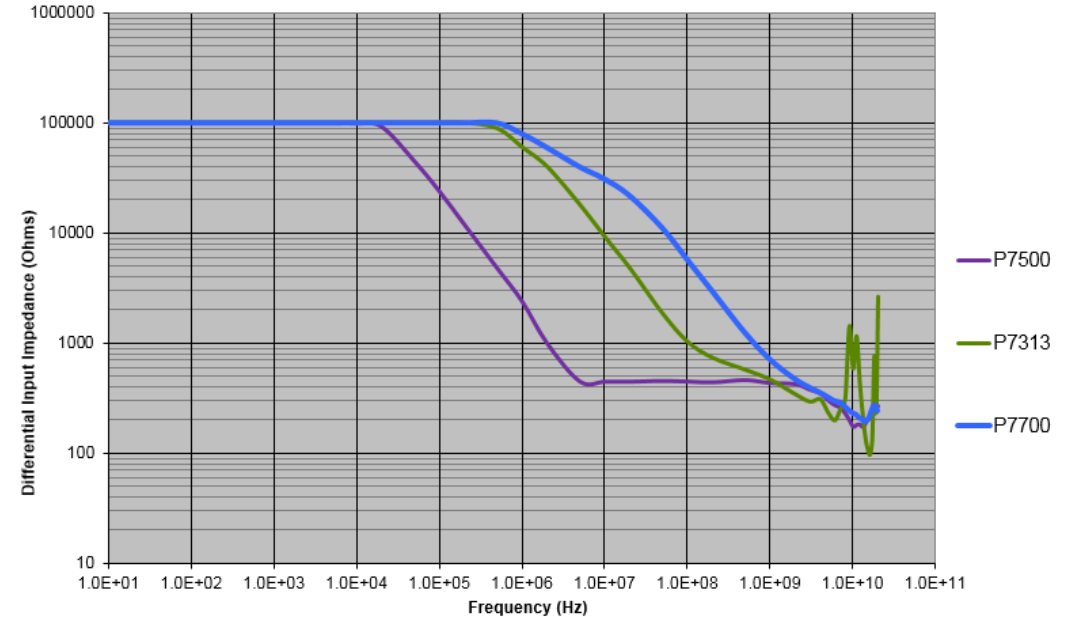
C-PHY

Data Rate	2.5GHz	4GHz	6GHz	8GHz	10GHz	16GHz	>20GHz
1.0Gbps	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance
2.5Gbps	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance
4.0Gbps	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance
6.0Gbps	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance
8.0Gbps	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance	Conformance

評価に最適なプローブ

低消費電力のモバイル用バスの評価に最適

- TDP77xx型 TriModeプローブ
 - 周波数帯域：4GHz～10GHz
 - 6シリーズ B MSO用
- P77xx型 TriModeプローブ
 - 周波数帯域：13GHz～20GHz
 - DPO70000シリーズ用

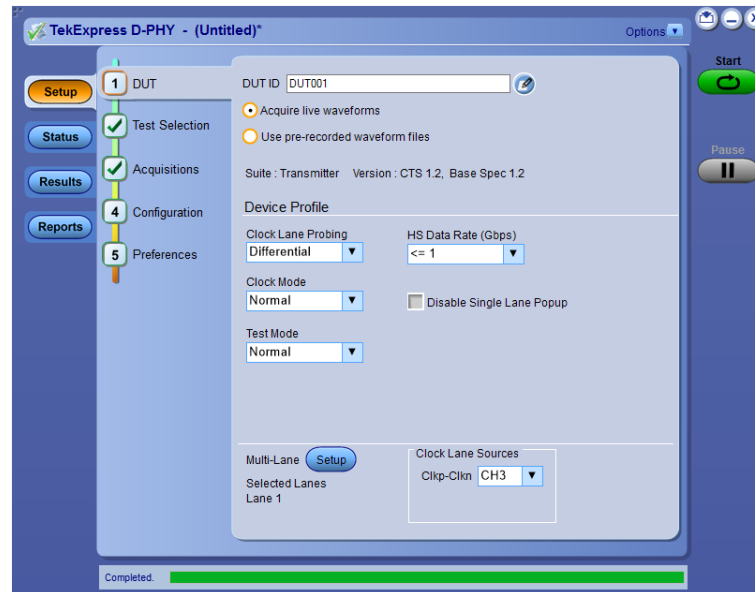


MIPI D-PHY / C-PHY Tx自動測定ソフトウェア

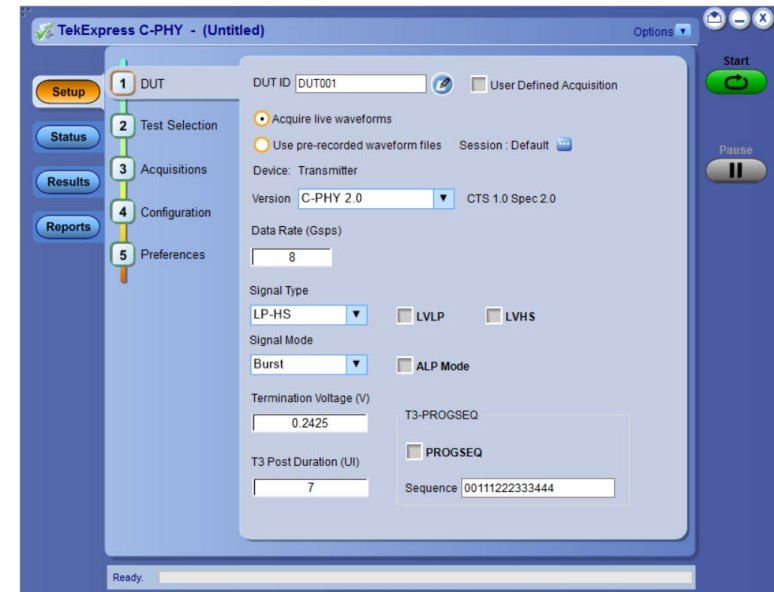
TekExpress D-PHY, TekExpress C-PHY

- MIPI Allianceが発行しているCTSに準拠
- 1ボタンで自動テスト
- テストレポート作成

Test Name	Result	Measurement Data
1.3.2 Data Lane HS Entry: THS-PREPREARE Value	Pass	• Data Lane HS Entry: THS-PREPREARE Value (ns) : 71.933ns
1.3.3 Data Lane HS Entry: THS-PREPREARE + THS-ZERO Value	Pass	• Data Lane HS Entry: THS-PREPREARE + THS-ZERO Value = Value1 + Value2*UI (ns) : 173.72ns
1.3.4 Data Lane HS-TX Differential Voltages (VOD(0), VOD(1))	Pass	• Data Lane VOD(1)(mV) : 183.263mV • Data Lane VOD(0)(mV) : -192.055mV
1.3.5 Data Lane HS-TX Differential Voltage Mismatch (VOD)	Pass	• VOD(mV) : -8.792mV
1.3.7 Data Lane HS-TX Static Common-Mode Voltages (VCMTX(1), VCMTX(0))	Pass	• Data Lane HS-TX Static Common-Mode Voltage VCMTX(0)(mV) : 208.818mV • Data Lane HS-TX Static Common-Mode Voltage VCMTX(1)(mV) : 208.768mV
1.3.8 Data Lane HS-TX Static Common-Mode Voltage Mismatch (VCMTX(1,0))	Pass	• Data Lane HS-TX Static Common-Mode Voltage Mismatch (VCMTX(1,0)(mV) : 0.025mV
1.3.9 Data Lane HS-TX Dynamic Common-Level Variations: Between 50-450MHz (VCMTX(LF))	Pass	• Data Lane HS-TX Dynamic Common-Level Variations(VCMTX(LF)(mV) : 19.213mV
1.3.10 Data Lane HS-TX Dynamic Common-Level Variations Above 450MHz (VCMTX(HF))	Pass	• Data Lane HS-TX Dynamic Common-Level Variations(VCMTX(HF)(mV) : 10.296mV
1.3.11 Data Lane HS-TX 20%-80% Rise Time (tR)	Pass	• Data Lane tR : 0.091UI
1.3.12 Data Lane HS-TX 80%-20% Fall Time (tF)	Pass	• Data Lane tF : 0.092UI
1.3.13 Data Lane HS Extn: THS-TRAIL Value	Pass	• Data Lane THS-TRAIL Value = Value1 + Value2*UI (ns) : 93.293ns
1.3.14 Data Lane HS Extn: 30%-65% Post-EoT Rise Time (TREQ1)	Pass	• Data Lane TREQ1(ns) : 32.093ns



TekExpress D-PHY



TekExpress C-PHY

まとめ

パフォーマンス・テストからデバックまで

- MIPI D-PHY / C-PHYにはLow PowerとHigh Speedの信号が混在
 - 評価には終端が必要
 - Reference Termination Boardを用意
 - D-PHYの評価にはPositiveとNegativeの信号を別々に観測する必要がある
 - プロブは4本必要
- 無終端の信号を観測するにはプロブの入カインピーダンスに注意
 - 最適なプロブの選択
- 自動テスト・ソフトウェア
 - MIPI Allianceが定めるConformance Test Suiteを簡単に行うことが可能
 - テストレポートを自動作成

個別デモ／相談会のご案内

セミナーのご聴講ありがとうございました。

講師と1：1での個別デモ／相談会も承ります。
ご希望がありましたら、チャットでお申し出ください。

本テキストの無断複製、転載を禁じます
株式会社テクトロニクス&フルーク
Copyright Tektronix



Twitter

[@tektronix_jp](https://twitter.com/tektronix_jp)



Facebook

<http://www.facebook.com/tektronix.jp>



Telxtronix[®]